

ORGANIC SEMICONDUCTOR DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP2001094107
Publication date: 2001-04-06
Inventor: ISHIHARA SHINGO; WAKAGI MASATOSHI; ANDO MASAHIKO; KIZAWA KENICHI; ISHIDA MINA
Applicant: HITACHI LTD
Classification:
- **international:** H01L29/786; G02F1/1368; H01L21/203; H01L51/00; H01L21/336
- **european:** H01L51/20B2B2
Application number: JP19990264964 19990920
Priority number(s): JP19990264964 19990920

[Report a data error here](#)

Abstract of JP2001094107

PROBLEM TO BE SOLVED: To provide an organic thin-film transistor, having high mobility by controlling the state of crystallization of a pentacene vapor-deposited film. **SOLUTION:** An organic semiconductor device is constituted by successively forming a gate electrode, gate insulating layer, organic semiconductor layer, source electrode/drain electrode, and protective layer on the surface of a substrate. The contact angle of the surface of the gate insulating layer in pure water is adjusted to 50 deg.-120 deg..

Data supplied from the esp@cenet database - Worldwide

Best Available Copy

Family list

1 family member for:

JP2001094107

Derived from 1 application.

**1 ORGANIC SEMICONDUCTOR DEVICE AND LIQUID CRYSTAL DISPLAY
DEVICE**

Publication info: **JP2001094107 A** - 2001-04-06

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-94107

(P2001-94107A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl.

H 01 L 29/786
G 02 F 1/1368
H 01 L 21/203
21/312
51/00

識別記号

F I
H 01 L 21/203
21/312
29/78
G 02 F 1/136
H 01 L 29/28

Z 2 H 09 2
N 5 F 05 8
6 1 8 B 5 F 10 3
5 0 0 5 F 11 0

テ-マコ-ド(参考)

審査請求 未請求 請求項の数11 OL (全12頁) 最終頁に続く

(21)出願番号

特願平11-264984

(22)出願日

平成11年9月20日(1999.9.20)

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 石原 慎吾

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 若木 政利

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(74)代理人 100075098

弁理士 作田 康夫

最終頁に続く

(54)【発明の名称】 有機半導体装置及び液晶表示装置

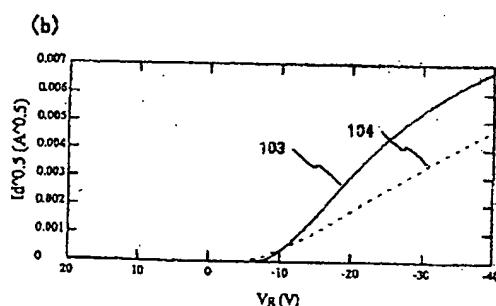
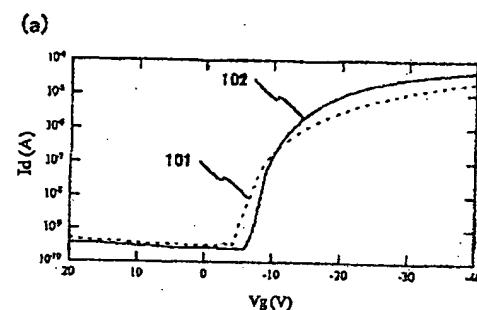
(57)【要約】

【課題】高い移動度の有機薄膜トランジスタを提供すること。

【解決手段】基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層表面の純水における接触角が50度以上120度以下であることを特徴とする有機半導体装置。

【効果】本発明を用いれば、ペンタセン蒸着膜の結晶状態を制御でき、高い移動度を有する有機薄膜トランジスタが可能となる。

図 1



【特許請求の範囲】

【請求項1】 基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層表面の純水における接触角が50度以上120度以下であることを特徴とする有機半導体装置。

【請求項2】 基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層の表面に膜厚0.3nm以上10nm以下の*

R1-CF20-((CF20)_n-(CF2CF20)_m)-CF2-R1

…(化1)

【化2】

F(CF2CF2CF20)_n-CF2CF2-R2

…(化2)

(ここで、R1,R2は一価の有機基、n,mは正の整数)

【請求項4】 基板の表面に、ゲート電極、ゲート絶縁層、ソース電極／ドレイン電極、有機半導体層、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層表面の純水における接触角が50度以上120度以下であることを特徴とする有機半導体装置。

【請求項5】 基板の表面に、ゲート電極、ゲート絶縁層、ソース電極／ドレイン電極、有機半導体層、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層の表面に膜厚0.3nm以上10nm以下の*

R1-CF20-((CF20)_n-(CF2CF20)_m)-CF2-R1

…(化1)

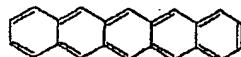
【化4】

F(CF2CF2CF20)_n-CF2CF2-R2

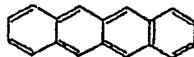
…(化2)

(ここで、R1,R2は一価の有機基、n,mは正の整数)

【請求項7】 請求項1から6において、前記半導体層に下記一般式で表される化合物を用いることを特徴とする★



【化6】



【請求項8】 請求項1から6において、前記有機半導体層が前記ゲート絶縁層の表面法線方向に対して周期性を有することを特徴とする有機半導体装置。

【請求項9】 請求項1から6において、前記半導体層をペンタセン誘導体とし、前記ペンタセン誘導体膜の広角X線スペクトル中に現れる、1.57nmの面間隔に対応するピークと1.49nmの面間隔に対応するピークの強度比が0.3以上であることを特徴とする有機半導体装置。

【請求項10】 請求項1から10に記載されている有機半導体装置をアクティブ素子として用いることを特徴とするアクティブマトリクス液晶表示装置。

【請求項11】 請求項1から10に記載されている有機半導体装置をアクティブ素子として用いることを特徴とするアクティブマトリクス液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

* フッ素ポリマー層を形成することを特徴とする有機半導体装置。

【請求項3】 基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層の表面に、下記一般式で表されるフッ素ポリマーを少なくとも1種類以上用いることを特徴とする有機半導体装置。

【化1】

※ フッ素ポリマー層を、形成することを特徴とする有機半導体装置。

【請求項6】 基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層の表面に、下記一般式で表されるフッ素ポリマーを少なくとも1種類以上用いることを特徴とする有機半導体装置。

【化3】

★る有機半導体装置。

【化5】

…[化3]

…[化4]

【発明の属する技術分野】 本発明は、有機半導体装置に関するもので、特にアクティブマトリクス液晶表示装置等に関するものである。

【0002】

【従来の技術】 近年、薄膜トランジスタ(TFT)に代表されるアクティブ素子を用いたアクティブマトリクス液晶表示装置は、CRTと同等の高画質性能、低消費電力、及び省スペースといった点からパソコンやワークステーションなどのモニタとしても使用されつつある。しかし、アクティブマトリクス液晶装置はCRTに比べて値段が高く、より普及していくためには、一層の低価格化が求められている。低価格化の手法の一つとして、簡便な作製法の有機薄膜トランジスタ(有機TFT)をアクティブ素子に用いることが考えられている。現行製品に適用されているアモルファスシリコンTFT(a-Si TFT)の絶縁層及び半導体層はプラズマ化学気相成長(CVD)

D) 装置、電極はスパッタ装置を用いて作製される。これらの装置は高額である。また、CVD法では成膜温度が230～350度と高く、また、クリーニング等の保守を頻繁に行う必要があり、スループットが低い。一方、有機TFTの作製に用いる塗布装置、真空蒸着装置はCVD装置、スパッタ装置と比べて安価であり、それらの装置では成膜温度が低く、メンテナンスが簡単である。そのため、液晶表示装置に有機TFTを適用した際は、コストの大幅な削減が期待できる。

【0003】一般的な有機TFTは、ガラス基板、ゲート電極、ゲート絶縁膜、ソース電極、ドレイン電極、及び有機半導体膜の構成からなる。ゲート電極に印加する電圧（ゲート電圧、 V_g ）を変えることで、ゲート絶縁膜と有機半導体膜の界面の電荷量を過剰、或いは不足にし、ソース電極／有機半導体／ドレイン電極間を流れるドレイン電流値（ I_d ）を変化させ、スイッチングを行う。

【0004】有機TFTの性能を示す物理量として、移動度、オンオフ比、ゲート電圧しきい値が用いられる。移動度は、 VId と Vg が線形関係にある飽和領域における、 $VId-Vg$ 曲線の傾きに比例し、電流の流れ易さの度合いを示す。オンオフ比は、 Vg を変化させた時の最小 I_d と最大 I_d の強度比で表される。ゲート電圧しきい値は、前記飽和領域における、 $VId-Vg$ 曲線に接する直線のX切片で定義され、スイッチングが起こるゲート電圧を示す。

【0005】有機TFTの特性の目的値として、現行アクティブマトリクス液晶表示装置に用いられているa-SiTFTの値が考えられている。すなわち、移動度が0.3～1cm²/Vs、オンオフ比が10⁶以上、ゲート電圧しきい値が1～2Vである。

【0006】有機TFTの特性は、有機半導体膜の結晶性と相関性がある。文献(A.R.Brown,D.M.de Leeuw,E.E.Havinga, and A.Pomp, Synthetic Metals, Vol.68, P.P.65～70 (1994))は、アモルファス形状の有機半導体膜を用いた有機TFTでは、高移動度、高オンオフ比の両立は不可能であることを示している。また、文献(Y.-Y.Lin,D.J.Gundlach,S.F.Nelson, and T.N.Jackson, IEEE Transactions on Electron Devices, Vol.44, No.8 P.P. 1325～1331 (1997))は、結晶性の高いベンタセン蒸着膜を半導体層に用いた有機TFTの作製方法、及びそのTFTの特性が移動度0.62cm²/Vs、オンオフ比10⁸以上、ゲートしきい値電圧-18Vという高特性であることを示している。

【0007】有機半導体層の下に下地層を設けて、下地層により有機半導体膜の結晶性を向上させる試みも行われている。特開平07-206599号公報は、下地層にポリテトラフルオロチレン(PTFE)配向膜を用いて、オリゴチオフェン化合物等の有機半導体膜を配向化される製造方法を示している。この場合、PTFE膜は固体を

一定圧力でスライドさせ基板表面上に形成するため、基板の大面積化は難しい。また、有機半導体層の分子はPTFE膜の配向方向に揃った配列をとるため、分子間のキャリア伝導が難しくなり、期待される特性は得にくい。

【0008】また、特開平09-232589号公報は、ソース電極とドレイン電極を結ぶ向きに有機半導体層が配向するように配向膜を設けた有機TFTの作製方法を開示している。この場合も、上述した理由で分子間伝導が難しく、高特性は得にくい。

10 【0009】また、文献(Y.-Y.Lin,D.J.Gundlach,S.F.Nelson, and T.N.Jackson, IEEE Electron Devices Letters, Vol.18, No.12 P.P. 606～608 (1997))は、垂直配向膜の一種であるオクタデシルトリシランを塗布したゲート絶縁膜表面上に2層のベンタセン蒸着膜を形成して、高性能の有機TFTを得ることを示している。この場合、TFT特性評価には、ドレイン電圧が-80V、ゲート電圧が-100Vを用いられており、LCDのアクティブ素子に印加する電圧としては高すぎる。

【0010】
20 【発明が解決しようとする課題】有機TFTの特性向上のためには、有機半導体膜の結晶向上が必要である。

【0011】本発明は、上記問題点を解決するためになされたものであり、大面積基板上に均一に作製でき、ゲートに印加する電圧によってドレイン電流を大きく変調させることができる有機半導体を提供することを目的とする。

【0012】更には、動作が安定で、素子の寿命も長く、作製方法も簡便にできる有機半導体装置を提供することを目的とする。

30 30 【0013】また、そのような有機半導体をアクティブ素子に用いるLCDを提供することを目的とする。

【0014】

【課題を解決するための手段】本発明者等は、上記の目的を解決するために種々の検討を重ねた結果、下記のような手段が有効であることを見出した。

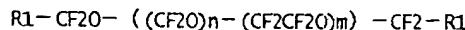
【0015】第1の手段として、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜の順に形成される有機半導体装置において、純水を用いた際の、前記ゲート絶縁層表面の接触角が50度以上120度以下であることを特徴とする有機半導体装置を発明した。

【0016】また、第2の手段として、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層の表面に膜厚0.3nm以上10nm以下のフッ素ポリマー層を形成することを特徴とする有機半導体装置を発明した。

40 50 【0017】また、第3の手段として、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜の順に形成される有機半導

体装置において、前記ゲート絶縁層の表面に、下記一般式で表されるフッ素ポリマーを少なくとも1種類以上用いることを特徴とする有機半導体装置を発明した。*

【0019】



※※【化8】

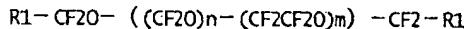
…(化1)

…(化2)

(ここで、R1,R2は一価の有機基、n,mは正の整数)また、第4の手段として、基板の表面に、ゲート電極、ゲート絶縁層、ソース電極／ドレイン電極、有機半導体層、及び保護膜の順に形成される有機半導体装置において、純水を用いた際の、前記ゲート絶縁層表面の接触角が50度以上120度以下であることを特徴とする有機半導体装置を発明した。

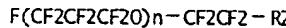
【0020】また、第5の手段として、基板の表面に、ゲート電極、ゲート絶縁層、ソース電極／ドレイン電極、有機半導体層、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層の表面に膜厚0.★

【0023】

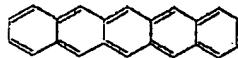


☆☆【化10】

…(化1)

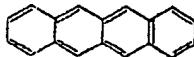


(ここで、R1,R2は一価の有機基、n,mは正の整数)また、第7の手段として、第1から第6の手段に記載の前記半導体層に、下記一般式で表される化合物を用いること◆



【0025】

* *【化12】



…[化3]

【0026】また、第8の手段として、第1から第6の手段に記載の、前記有機半導体層が前記ゲート絶縁層の表面法線方向に対して周期性を有することを特徴とする有機半導体装置を発明した。

【0027】また、第9の手段として、第1から第6の手段に記載の前記半導体層をペンタセン誘導体とし、前記ペンタセン誘導体膜の広角X線スペクトル中に現れる、1.57nmの面間隔に対応するピークと1.49nmの面間隔に対応するピークの強度比が0.3以上であることを特徴とする有機半導体装置を発明した。

【0028】また、第10の手段として、第1から第9の手段に記載の有機半導体装置をアクティブ素子として用いることを特徴とするアクティブマトリクス液晶表示装置を発明した。

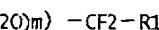
【0029】また、第11の手段として、第1から第9の手段に記載の有機半導体装置をアクティブ素子として用いることを特徴とするアクティブマトリクス液晶表示装置の製造方法を発明した。

【0030】ここでいう有機半導体装置とは、基板上に導電ゲート電極、ゲート絶縁層、水平に間隔を置くソース電極とドレイン電極、及び有機半導体層によって構成

*【0018】

【化7】

*



※※【化8】

…(化1)

…(化2)

★3nm以上10nm以下のフッ素ポリマー層を形成することを特徴とする有機半導体装置を発明した。

【0021】また、第6の手段として、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜の順に形成される有機半導体装置において、前記ゲート絶縁層の表面に、下記一般式で表されるフッ素ポリマーを少なくとも1種類以上用いることを特徴とする有機半導体装置を発明した。

【0022】

【化9】

◆とを特徴とする有機半導体装置を発明した。
【0024】
【化11】

* *【化12】

…[化4]

30 される。有機TFTは、ゲート電極に印加される電圧の極性に応じて、蓄積状態または空乏状態の何れかで動作する。構成は、基板上にゲート電極、ゲート絶縁層、有機半導体層、ソース電極とドレイン電極、保護膜の順に構成される逆スターゲー構造と、基板上にゲート電極、ゲート絶縁層、ソース電極とドレイン電極、有機半導体層、保護膜の順に構成されるコブラナー構造を望ましい。

【0031】本発明の基板としては、絶縁性の材料であれば広い範囲から選択することが可能である。具体的には、ガラス、アルミナ焼結体などの無機材料、ポリイミドフィルム、ポリエステルフィルム、ポリエチレンフィルム、ポリフェニレンスルフィド膜、ポリバラキシレン膜等の各種絶縁性プラスチック等が使用可能である。特にプラスチック基板を用いると、軽量でフレキブルな有機TFTを作製することができ有用である。

【0032】本発明のフッ素ポリマーとしては、バーフロロポリエーテル系材料が用いられる。具体的な構造としては、以下のものが挙げられる。

【0033】

【化13】

	(5)	特開2001-94107
7		8
[0034]	F(CF ₂ CF ₂ CF ₂ -O)nC ₂ F ₄ -COOH * * [化14]	…(化5)
[0035]	OHC-O-(CF ₂ CF ₂ O) _m -(CF ₂) _n -COOH ※※[化15]	…(化6)
[0036]	HO-CH ₂ -(CF ₂ CF ₂ O) _m -(CF ₂ O) _n -CH ₂ -OH ★★[化16]	…(化7)
[0037]	F(CF ₂ CF ₂ CF ₂ -O)nC ₂ F ₄ -CH ₂ -OH ☆☆[化17]	…(化8)
[0038]	F(CF ₂ CF ₂ CF ₂ -O)nC ₂ F ₄ -COO NH ₃ - -O- ◆10◆[化18]	…(化9)
[0039]	-O-H ₃ N-O-CO-(CF ₂ CF ₂ O) _m -(CF ₂ O) _n -COO NH ₃ - -O- * * [化19]	…(化10)
[0040]	F(CF ₂ CF ₂ CF ₂ -O)nC ₂ F ₄ -COO NH ₄ ※※[化20]	…(化11)
[0041]	H ₄ N-O-CO-(CF ₂ CF ₂ O) _m -(CF ₂ O) _n -COO NH ₄ ★★[化21]	…(化12)
	H ₂ C-CH ₂ -O-(CF ₂ CF ₂ O) _m -(CF ₂ O) _n -O-CH ₂	…(化13)

もちろんこれらの材料に限られるわけではない。

〔0042〕本発明で用いるフッ素ポリマー膜はディップ法にて形成するのが望ましい。前記フッ素ポリマーをフッ素系溶媒に所定の濃度で溶解させた溶液を作製し、浸漬時間1分～10分、引き上げ速度（もしくは、溶液面の降下速度）1mm/s～20mm/sの範囲が望ましい。一般に、溶液の濃度、浸漬時間、引き上げ速度の値が高いほど膜厚は厚くなる傾向にあるが、同じ塗布条件でもフッ素ポリマーの吸着力や分子量によって膜厚が大きく変わるために、最適な塗布条件を検討する必要がある。前記フッ素系溶媒としては、3M社製のFC-72、FC-84、FC-77、FC-75、PF-5052、HFE-7100、HFE-7200、Dupont社製のパートレルXF等が挙げられる。

〔0043〕本発明のゲート電極としては、電極形成プロセスが簡便な塗布法を用いたポリアニリン、ポリチオフェン等の有機材料、或いは導伝性インクが望ましい。また、既存のフォトリソグラフ法を用いて電極形成が可能な金、白金、クロム、パラジウム、アルミニウム、インジウム、モリブデン、ニッケル、等の金属や、これら金属を用いた合金や、ポリシリコン、アモリファスシリコン、錫酸化物、酸化インジウム、インジウム・錫酸化物(ITO)等の無機材料が望ましい。もちろんこれらの材料に限られるわけではなく、また、これらの材料を2種以上併用しても差し支えない。

〔0044〕本発明のゲート絶縁膜に用いる材料として、ゲート電極と同じように塗布法が可能なポリクロロビレン、ポリエチレンテレフタレート、ポリオキシメチレン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルブルラン、ポリメチルメタクリレート、ポリサルフォン、ポリカーボネート、ポリイミド等の有機材料が望ましい。また、既存バターンプロセスを用いることができるSiO₂、SiNx、Al₂O₃等の無機材料が望ましい。また、(化6)から(化14)で示したフッ

素ポリマーをゲート絶縁膜として用いることが望ましい。もちろんこれらの材料に限られるわけではなく、また、これらの材料を2種以上併用しても差し支えない。

【0.045】本発明で用いるソース電極及びドレイン電極の材料としては、ほとんどの有機半導体が、電荷を輸送するキャリアがホールであるP型半導体であることから、半導体層とオーミック接触をとるために、仕事関数の大きい金属が望ましい。具体的には、金、白金が挙げられるが、これらの材料に限定されるわけではない。ここでいう仕事関数とは、固体中の電子を外部に取り出すのに必要な電位差であり、真空準位とフェルミ準位のエネルギー差を電荷量で割った値として定義される。ま

30 た、半導体層表面にドーパントを高密度にドープした場合は、金属／半導体間をキャリアがトンネルすることが可能となり、金属の材質によらなくなるため、ゲート電極であげた金属材料或いは有機導電性材料も対象となる。

【0046】本発明の有機半導体材料としては、π電子共役系の芳香族化合物、鎖式化合物、有機顔料、有機けい素化合物等が望ましい。具体的な材料としては、ペンタセン、テトラセン、チオフェンオリゴマ誘導体、フェニレン誘導体、フタロシアニン化合物、ポリアセチレン誘導体、ポリチオフェン誘導体、シアニン色素等が挙げられるが、これらの中から選定されるものは何れか

つういが、これらの材料に取扱われるわけではない。
【0047】本発明の有機TFT製造方法では、無機絶縁膜等にはプラズマCVD法、金属膜、錫酸化物、酸化インジウム、ITO等には、スパッタ法が用いられる。また、バターン加工には、既存のフォトリソグラフ法とドライエッ칭やまたはウェットエッ칭法が用いられる。これら作製法に関する詳細な説明は、松本正一編「液晶ディスプレイ技術－アクティブマトリクスLCD－」第2章 産業図書(1996年)に記載されている。また、導電性有機材料、導電性インク、絶縁性有機材料、半導体

有機材料を原料とする薄膜の作製方法は、スピンコート法、キャスト法、引き上げ法、真空蒸着法が挙げられる。

【0048】ここでいうアクティブマトリクス液晶表示装置とは、表示部を構成している画素ごとにアクティブマトリクス素子が付加され、これを通して液晶に電圧が印加されるものである。駆動法としては以下の方式が取られる。n行の走査線とm列の信号線からなるn×mマトリクス配線の交点に、TFT等のアクティブマトリクス素子が設けられ、TFTのゲート電極は走査線に、ドレイン電極は信号線に、ソース電極は画素電極に接続される。走査線にはアドレス信号、信号線には表示信号が供給され、オン／オフ信号が乗疊されたアドレス信号で制御されるTFTスイッチを介して、画素電極上の液晶を動作させる。有機TFTをスイッチング素子に適用した場合、製造プロセスが簡易化され、低価格が可能となる。

【0049】

【発明の実施の形態】(実施例1) 本発明による有機半導体装置に用いるシリコン基板及び洗浄方法について説明する。

【0050】本発明で使用したシリコン基板は、ポロンをドープしたP型基板である。基板の抵抗率は、1-2Ω*



DOL-4000の平均分子量は4000である。同溶液に実施例1の条件で作製及び洗浄を行ったSiO₂膜付シリコン基板を、浸漬時間を3分、引き上げ速度を1mm/sの条件のディップ法にて、フッ素ポリマー(Dol-4000)膜をSiO₂膜表面上に形成した。次に、同基板を、大気下、103°C、30分間の条件で、ペークを行った。

【0055】基板表面に作製したフッ素ポリマー膜は、Mattson Instruments社製のフーリエ変換赤外分光光度計を用い、高感度反射法によって-CF₂-の伸縮振動バンド(1256cm⁻¹)の強度を測定し、これを膜厚に換算した。本作製条件のDol-4000膜の鉛厚は、5nmであった。

【0056】基板表面の表面状態を調べるため、接触角の測定を行った。試料表面と液体(液滴)との接触角は試料表面の表面エネルギーが低いほど大きくなる。装置は、(株)協和界面科学製FACE接触角装置を用い、試料表面に液滴(純水)を滴下して30秒後の接触角を測定した。実施例1の条件で作製及び洗浄したSiO₂表面の接触角は、10°であった。一方、SiO₂膜の表面に作製したDOL-4000膜の接触角は94°であった。このことから、SiO₂表面にフッ素ポリマーを塗布することにより、表面エネルギーが低下する。

* cmである。結晶軸は<111>であった。SiO₂膜は膜厚100nmで、シリコン基板表面をウェット熱酸化法により形成した。酸化条件は、炉の温度を950°Cにし、H₂とO₂の流入比を0.56とした。

【0051】シリコン基板の洗浄法は以下の通りである。純度99%以上のアセトンにシリコン基板をつけ超音波洗浄を5分間行い、その後、純水につけ超音波洗浄を5分間行う工程を、それぞれ、2回実施した。洗浄後、純水をN₂ガスで吹き払った後、波長184.9nm、253.7nmの紫外(UV)光を強度65mW、照射時間15s間の条件で照射し、有機汚染物を除去した。次に、SiO₂膜表面上の水分除去及びUV光照射によるSiO₂膜中へのキャリア注入を緩和させるため、シリコン基板をN₂雰囲気下中、250°Cの炉中で1時間熱した。

【0052】(実施例2) 本発明による有機半導体装置に用いるフッ素ポリマー膜の作製法、その膜厚測定法、及び接触角の測定方法を説明する。

【0053】(化15)で示されたアウジモンド社製「フォンブリデンドール(DOL-4000)」を、3M社製フッ素系溶媒HFE-7200に溶解させ、0.11重量%に調合した。

【0054】

【化22】

【0057】(実施例3) 次に、本発明による有機TFT素子に用いるベンタセン蒸着膜の作製方法を説明する。

【0058】基板には、実施例1で示したSiO₂膜付シリコン基板を用いた。

【0059】原料のベンタセン粉末は、市販の粉末を昇華法により精製したものを用いた。ベンタセン蒸着膜は、拡散ポンプで真空排気を行う真空蒸着装置を用いて形成された。ベンタセン蒸着膜の作製条件は以下の通りである。蒸着装置チャンバー内の到達真空度は、3~5×10⁻⁶torrである。前記ベンタセン粉末をMo金属でできた抵抗加熱用ボードにのせ、ポート上約30cmの位置に基板を置き、ポートを約200°Cに加熱して、ベンタセンを昇華させて基板表面上に蒸着する。基板とほぼ同じ高さに水晶振動子を置き、振動子の共鳴周波数の変化から、膜厚及び蒸着速度を算出した。ベンタセン膜の膜厚は80nmにした。

【0060】表1に、本実験で用いた4種類の作製条件を記す。

【0061】

【表1】

表 1

N o	下地層	基板溫度(℃)	蒸着速度(Å/s)	移動度(cm ² /Vs)	オンオフ比
1	-	室温	0.9	0.03	0.7×10 ⁵
2	Dol-400	室温	0.9	0.1	1.8×10 ⁵
3	Dol-400	室温	0.5	0.09	0.7×10 ⁵
4	Dol-400	105	1.5	0.11	0.7×10 ⁵

【0062】No.1は、実施例1の洗浄工程を行った後、SiO₂膜にフッ素ポリマーを塗布しないものを用いた。No.2は、下地層に実施例2で示したDol-4000を用い、基板温度は、室温、平均蒸着速度は0.9Å/sにした。No.3は、下地層に実施例2で示したDol-4000を用い、基板温度は室温、平均蒸着速度は0.5Å/sにした。No.4は、下地層に実施例2で示したDol-4000を用い、基板温度は105°C、平均蒸着速度は1.5Å/sにした。以上により、ペントセン蒸着膜が完成する。

【0063】(実施例4)実施例3に従って作製されたペントセン蒸着膜の広角X線測定結果を、図3により説明する。

【0064】図3に、表1に示した4種類の作製条件で作られたペントセン蒸着膜のX線測定結果を示す。301は、No.1のペントセン蒸着膜の広角X線、302はNo.2の広角X線、303はNo.3の広角X線、304はNo.4の広角X線である。

【0065】測定に用いたX線は波長0.15406nmの銅K-alpha線を用いた。X線源の管電圧は150kV、管電流は150mAとした。試料とX線源の間にスリットを設けて、試料表面でのX線断面が2×2mm²となるように設定した。広角ゴニオメータを用いて、入射X線光路と基板面法線とのなす角を(90-θ)^oとし、検出器へ向かう反射光路と基板面法線とのなす角が(90-2θ)^oとなるように設定した。検出器には、シンチレーションカウンタを用いた。走査範囲は、θ:1.5~15^oであり、ステップ幅は0.02^oである。各入射角θでの、サンプリング時間は5秒である。

【0066】図3に示したように、すべてのペントセン蒸着膜のX線301、302、303、304において、1.57nmの面間隔に対応するピークを、それぞれ、2θ=5.6^o、11.4^o、17.1^o、23.0^o、に観測した。また、1.49nmの面間隔に対応するピークを、それぞれ、2θ=6.0^o、12.1^o、18.3^o、24.6^o、に観測した。しかし、301では、2θ=24.6^oのピークは観測できなかった。

【0067】また、SiO₂膜上に作製したペントセン蒸着膜の広角X角301では、2θ=19^o付近と、2θ=23^o付近に2つのピークが観測された。一方、フッ素ポリマー上に作製したペントセン蒸着膜のX線302~304では、2本のピークは観測されなかった。

【0068】文献(R.B.Campbell, J.M.Robertson, and

J.Trotter, Acta Crystallogr., Vol.14, P.705 (1961))によると、ペントセン単結晶は三斜晶系で、a軸、b軸、及びc軸の格子定数は、それぞれ、a=7.90Å、b=6.06Å、c=16.01Åである。また、a軸とc軸、b軸とc軸、及びa軸とb軸のなす角は、それぞれ、α=101.9^o、β=112.6^o、γ=85.5^oである。

【0069】上記文献値を用いて広角X線に現れるピークの指數を計算すると、1.49nmの面間隔に対応するピークは(0 0 1)(l=1, 2, 3, 4)で表される。また、2θ=19^oのピークは(2 0 0)と、2θ=23^oのピークは(1 1 0)と同定される。

【0070】一方、1.57nmの面間隔に対応するピークは、適当な指數で表されなかった。文献(C.D.Dimitrakopoulos, A.R.Brown, and A.Pomp, J.Appl.Phys., Vol.80, P.P.2501~2508 (1961))は、このピーク位置が単結晶状態の(0 0 1)に近いことから、薄膜状態固有の(0 0 1')(l'=1, 2, 3, 4)であると同定した。

【0071】ペントセン分子は(化)で示したように、長手方向の長さが約16Åである。このことから、単結晶層のペントセン分子は、基板法線方向に1.49nmの面間隔であることから、法線方向に対して傾いた配置をとると考えられる。一方、薄膜層の面間隔は1.57nmであることから、ほぼ法線方向に平行、すなわち基板に垂直な配置を取っていると考えられる。

【0072】以上のことから、SiO₂膜上のペントセン蒸着膜では、大部分の分子が基板に垂直に立った状態で、一部が法線方向から傾いた状態で、更に一部分が基板面に寝た状態となる。一方、No.2からNo.4のフッ素ポリマー(Dol-4000)上のペントセン蒸着膜(表1 No.2~No.4)では、基板面内に寝た分子は存在せず、基板に垂直に立った分子と傾いた分子が混在している。表1に、(0 0 3')に対応する2θ=11.4^oのピークと(2 0 0)に対応する2θ=12.1^oのピークの強度比を示す。蒸着速度を遅くすることと、基板温度を高くすると単結晶層の割合が増加する。

【0073】(実施例5)次に、本発明による有機TFT素子に用いるペントセン蒸着膜の作製方法を、図2により説明する。

【0074】図2(a)に本発明による有機TFT素子構造断面図、図2(b)に有機TFT素子の真上から見た図を示す。201はシリコン基板202の裏面に作製したAl薄膜、202はシリコン基板、203はSiO₂膜、

204はSiO₂膜表面上に作製したフッ素ポリマー膜、205はベンタセン蒸着膜、206はソース電極、207はドレイン電極である。

【0075】実施例2に従って作製されたベンタセン蒸着膜204上に、金属蒸着マスクを用いて、真空蒸着法によりソース電極205及びドレイン電極206を作製する。電極材料は金である。電極の作製条件は以下の通りである。チャンバー内の到達真空度は、3×10⁻⁶torrである。基板温度は室温に設定した。純度99.9%以上の純金細線をMo金属でできた抵抗加熱用ポートにのせ、ポート上約6.0cmの位置に基板を置き、ポートを加熱して金を蒸着する。平均蒸着速度は、0.25nm/secにした。また、金蒸着膜の膜厚は、100nmとした。ソース電極とドレイン電極間の距離はL(=0.2mm)、ソース、ドレイン電極の長さはW(=10mm)とした。次に、シリコン基板の裏面にゲート電極を取り出し用Al薄膜を蒸着する。

【0076】以上により、ベンタセン蒸着膜を用いた有機TFT(ベンタセンTFT)が完成する。

【0077】(実施例6) 次に、本発明による有機TFT素子のTFT特性を、図1により説明する。

【0078】V_g-I_d曲線は、以下の構成の測定系で測定した。有機TFTで作製したシリコン基板202を真空チャックで金属製のステージに固定し、ステージから*

$$\mu = (V_g - \sqrt{I_d}) \text{の直線領域の傾き}^2 \times 1/C_1 \times L / 2W \quad \cdots [\text{式1}]$$

【0083】ここで、C₁はゲート絶縁膜の1×1cm²の静電容量である。W、Lは、それぞれ、実施例5で示した、チャネル長、チャネル幅である。

【0084】表1に、No.1からNo.4の移動度、オンオフ比を示す。フッ素ポリマーDol-4000上にベンタセン蒸着膜(No.2~4)を作製した有機TFTは、SiO₂膜上に直接ベンタセン蒸着膜(No.1)を作製した有機TFTと比べて、3作製条件とも、移動度μが増加した。一方、オンオフ比に関しては差がなかった。

【0085】以上のことから、フッ素ポリマー上に作製したベンタセン蒸着膜では、TFT特性が向上する。

【0086】実施例4で示したように、フッ素ポリマーDol-4000上に作製したベンタセン蒸着膜では、基板面内に寝ているベンタセン分子が存在しない。そのため、キャリアの分子間移動度が起こりやすく、移動度が大きくなつたと思われる。また、単結晶層のC軸に対応するピークの強度比が大きくなる。文献()では、2つの結晶膜が混在する状態では、結晶層間の伝導が異なるため、TFT特性が低下する。しかし、本結果では混在することが特性向上につながると思われる。

【0087】この結果、本発明によれば、SiO₂膜上にフッ素ポリマー膜を形成することにより、TFT特性が得られることが判る。

【0088】(実施例7) 次に、本発明による有機TFT

*ゲート電圧V_gをAl薄膜201に印加する。有機TFTのソース電極206とドレイン電極207に直径0.5mmのプローバ針を接触させ、ドレイン電極V_dを印加させる。

【0079】図1(a)にベンタセンTFTのV_g-I_d曲線、図1(b)にベンタセンTFTのV_g-V_I曲線を示す。101は、No.1の基板を用いた有機TFTのV_g-I_d曲線、102はNo.2の基板を用いた有機TFTのV_g-I_d曲線、103は、No.1の基板を用いた有機TFTのV_g-V_I曲線、104はNo.2の基板を用いた有機TFTのV_g-V_I曲線である。このとき、V_d=-10Vである。

【0080】SiO₂膜上に直接ベンタセン蒸着膜を作製した有機TFTでは、V_g=-4V付近でI_dが増加し、V_g=-40VでI_d=2.2×10~5A流れる。この時の、オンオフ比は0.7×10⁵である。一方、フッ素ポリマー上にベンタセン膜を作製した有機TFTでは、V_g=-6V付近でI_dが急激に増加し、V_g=-40VでI_d=4.6×10~5A流れる。この素子のオンオフ比は、1.0

20 ×10⁵である。

【0081】移動度は、(式1)に従って算出した。

【0082】

【数1】

T素子をアクティブマトリクス液晶表示装置に用いた実施形態について、図4から図6により説明する。

【0089】図4に本発明によるアクティブマトリクス液晶表示装置を示す。図5に、図6中のA-A'線におけるアクティブマトリクス液晶表示装置の断面を示す。401、413はガラス基板、402はゲート電極、403はゲート絶縁膜、404はフッ素ポリマー膜、405はソース電極、406はドレイン電極、407はベンタセン蒸着膜、408、408'は信号配線、409は走査配線、410は画素電極、411はSiO_x保護膜、412、412'は配向膜、414は対向電極、415は液晶組成物、416はスペーサーピーツ、417、417'は偏光板、418はTFT基板、419は対向基板である。図6に図4及び図5で示したアクティブマトリクス基板表示装置の作製工程を示す(工程601~621)。

【0090】まず、図6(a)に示した作業工程に従って、TFT基板418を作製する。コーニング1737ガラス基板401上に厚さ約150nmのCrMo膜をスパッタリング法により形成する(工程601)。ホトリソ工程によりCrMo膜をバターン化して走査配線409、及びゲート電極402を形成する(工程602)。その上に、CVD法により、厚さ300nmのSiO₂膜403を形成する(工程603)。この上に、スパッタリ

ング法により厚さ300nmのITO薄膜を形成後、ホトリソ工程によりパターン化して、画素電極410を形成する(工程605、606)。その上にスパッタ法を用いて、厚さ20nmのCrMo膜を形成し、ホトリソ工程によりパターン化して、信号配線408、ソース電極405、及びドレイン電極406を形成する(工程607、608)。さらに、その上に、蒸着法を用いて形成した厚さ150nmのAu薄膜をホトリソ工程によりパターン化して、信号配線408、ソース電極405、及びドレイン電極406、を形成する(工程609、610)。CrMo膜は、Au膜とSiO₂膜の密着性を向上させるために用いた。さらに、その上に、実施例2に従って、Dol-4000フッ素ポリマー膜を作製した(工程611)。膜厚は1nmである。その上に、膜厚80nmのペンタセン蒸着膜を形成する(工程612)。ペンタセン蒸着膜の作製条件は、実施例3と同じである。ソース電極-ペンタセン膜-ドレイン電極間の導通をとるために、ドレイン電圧Vd=-40Vを10S間印加した。さらにその上に、保護膜411として、薄膜500nmのSiO_x蒸着膜を形成する(工程613)。次に、信号配線408、走査線409を取り出し穴を、ホトリソ工程により形成する(工程614)。その上にスピンドルコート法により厚さ約200nmの配向膜413を形成する(工程615)。以上により、TFT基板418が完成する。

【0091】次に、図6(b)に示した作業工程に従って、対向基板419を作製する。コーニング1737からなるガラス基板413上に、スパッタ法を用いて厚さ140nmのITO対向電極414を形成する(工程616)。その上にスピンドルコート法を用いて厚さ200nmの配向膜412'を形成する(工程617)。

【0092】液晶パネルは、図6(c)に示した作業工程に従って作製する。TFT基板418及び対向基板419上の配向膜412及び412'の表面を配向処理後(工程618)、直径約4μmの酸化シリコンからなるスペーサーピーズ416をTFT基板418表面上に分散させる(工程619)。TFT基板418及び対向基板419を挟持して形成したセルギャップ間に液晶組成物415を封入する(工程620)。TFT基板418及び対向基板419の表面に偏光板417及び417'を貼り付けて、液晶パネルが形成される(工程621)。

【0093】本実施例では、実施例3と同じく、フッ素ポリマーを下地層にしてペンタセン蒸着膜を作製したため、有機TFTの特性が、実施例6と同じく、移動度が0.1cm²/Vs、オンオフ比が1×105と良好な値を示した。上記液晶表示装置を点灯評価したところ、画素部分のコントラスト比は150であり、良好な表示が得られた。

【0094】

【発明の効果】本発明は、有機半導体装置において、ゲート絶縁膜に水の接触角が以上以下の基板を用いること

により、大面積基板上に同時に均一に作製でき、高い移動度の有機半導体装置を得ることができる。

【図面の簡単な説明】

【図1】(a)は本発明の一形態である有機TFT素子のVg-I_d曲線を示す図、(b)本発明の一形態である有機TFT素子のV_g-V_I_d曲線を示す図である。

【図2】(a)は本発明の一形態である有機TFT素子の断面構造を示す図、(b)本発明の一形態である有機TFT素子を真上から見た図である。

10 【図3】本発明の一形態である有機TFT素子を用いたペンタセン蒸着膜の広角X線を示す図である。

【図4】本発明による有機TFT素子を用いたアクティブマトリクス液晶表示装置の基本構成を示す図である。

【図5】図4A-A'線における画素部の断面構造を示す図である。

【図6】実施例7に示す有機TFT素子を用いたアクティブマトリクス液晶表示装置の作製プロセスを示す図である。

【符号の説明】

20 101…表1に示したNo.1の基板を用いた有機TFTのVg-I_d曲線、102…表1に示したNo.2の基板を用いた有機TFTのVg-I_d曲線、103…表1に示したNo.3の基板を用いた有機TFTのVg-V_I_d曲線、104…表1に示したNo.2の基板を用いた有機TFTのVg-V_I_d曲線、201…ITO薄膜、202…シリコン基板、203…SiO₂膜、204…フッ素ポリマー膜、205…ペンタセン半導体膜、206…ソース電極、207…ドレイン電極、301…表1に示したNo.1の基板を用いたペンタセン蒸着膜の広角X線、302…

30 表1に示したNo.2の基板を用いたペンタセン蒸着膜の広角X線、303…表1に示したNo.3の基板を用いたペンタセン蒸着膜の広角X線、304…表1に示したNo.4の基板を用いたペンタセン蒸着膜の広角X線、401、414…ガラス基板、402…ゲート電極、403…ゲート絶縁膜、404…フッ素ポリマー膜、406…パターン化絶縁膜、405…ソース電極、406…ドレイン電極、407…ペンタセン蒸着膜、408、408'…信号配線、409…走査配線、410…画素電極、411…保護膜、412、412'…配向膜、415…対向電極、415…液晶組成物、416…スペーサーピーズ、417、417'…偏光板、418…TFT基板、419…対向基板、601…CrMoスパッタ膜形成、602…ゲート電極・走査配線形成ホトリソ工程、603…ゲート絶縁膜形成、604…ゲート電極取り出し穴形成ホトリソ工程、605…ITO膜スパッタ形成、606…画素電極形成ホトリソ工程、607…CrMoスパッタ膜形成、608…CrMoソース/ドレイン電極・信号配線形成ホトリソ工程、609…Au蒸着膜形成、610…Auソース/ドレイン電極・信号配線形成ホトリソ工程、611…Dol-400フッ素ポリマー膜形成、612…

40 415…液滴組成物、416…スペーサーピーズ、417、417'…偏光板、418…TFT基板、419…対向基板、601…CrMoスパッタ膜形成、602…ゲート電極・走査配線形成ホトリソ工程、603…ゲート絶縁膜形成、604…ゲート電極取り出し穴形成ホトリソ工程、605…ITO膜スパッタ形成、606…画素電極形成ホトリソ工程、607…CrMoスパッタ膜形成、608…CrMoソース/ドレイン電極・信号配線形成ホトリソ工程、609…Au蒸着膜形成、610…Auソース/ドレイン電極・信号配線形成ホトリソ工程、611…Dol-400フッ素ポリマー膜形成、612…

ング法により厚さ300nmのITO薄膜を形成後、ホトリソ工程によりパターン化して、画素電極410を形成する(工程605、606)。その上にスパッタ法を用いて、厚さ20nmのCrMo膜を形成し、ホトリソ工程によりパターン化して、信号配線408、ソース電極405、及びドレイン電極406を形成する(工程607、608)。さらに、その上に、蒸着法を用いて形成した厚さ150nmのAu薄膜をホトリソ工程によりパターン化して、信号配線408、ソース電極405、及びドレイン電極406、を形成する(工程609、610)。CrMo膜は、Au膜とSiO₂膜の密着性を向上させるために用いた。さらに、その上に、実施例2に従って、Dol-400フッ素ポリマー膜を作製した(工程611)。膜厚は1nmである。その上に、膜厚80nmのペンタセン蒸着膜を形成する(工程612)。ペンタセン蒸着膜の作製条件は、実施例3と同じである。ソース電極-ペンタセン膜-ドレイン電極間の導通をとるために、ドレイン電圧V_d=-40Vを10S間印加した。さらにその上に、保護膜411として、薄膜500nmのSiO_x蒸着膜を形成する(工程613)。次に、信号配線408、走査線409用取り出し穴を、ホトリソ工程により形成する(工程614)。その上にスピンドルコート法により厚さ約200nmの配向膜413を形成する(工程615)。以上により、TFT基板418が完成する。

【0091】次に、図6(b)に示した作業工程に従って、対向基板419を作製する。コーニング1737からなるガラス基板413上に、スパッタ法を用いて厚さ140nmのITO対向電極414を形成する(工程616)。その上にスピンドルコート法を用いて厚さ200nmの配向膜412'を形成する(工程617)。

【0092】液晶パネルは、図6(c)に示した作業工程に従って作製する。TFT基板418及び対向基板419上の配向膜412及び412'の表面を配向処理後(工程618)、直径約4μmの酸化シリコンからなるスペーサーピーズ416をTFT基板418表面上に分散させる(工程619)。TFT基板418及び対向基板419を挟持して形成したセルギャップ間に液晶組成物415を封入する(工程620)。TFT基板418及び対向基板419の表面に偏光板417及び417'を貼り付けて、液晶パネルが形成される(工程621)。

【0093】本実施例では、実施例3と同じく、フッ素ポリマーを下地層にしてペンタセン蒸着膜を作製したため、有機TFTの特性が、実施例6と同じく、移動度が0.1cm²/Vs、オンオフ比が1×10⁵と良好な値を示した。上記液晶表示装置を点灯評価したところ、画素部分のコントラスト比は150であり、良好な表示が得られた。

【0094】

【発明の効果】本発明は、有機半導体装置において、ゲート絶縁膜に水の接触角が以上以下の基板を用いること

により、大面積基板上に同時に均一に作製でき、高い移動度の有機半導体装置を得ることができる。

【図面の簡単な説明】

【図1】(a)は本発明の一形態である有機TFT素子のVg-Id曲線を示す図、(b)本発明の一形態である有機TFT素子のVg-VId曲線を示す図である。

【図2】(a)は本発明の一形態である有機TFT素子の断面構造を示す図、(b)本発明の一形態である有機TFT素子を真上から見た図である。

【図3】本発明の一形態である有機TFT素子を用いたペンタセン蒸着膜の広角X線を示す図である。

【図4】本発明による有機TFT素子を用いたアクティブマトリクス液晶表示装置の基本構成を示す図である。

【図5】図4A-A'線における画素部の断面構造を示す図である。

【図6】実施例7に示す有機TFT素子を用いたアクティブマトリクス液晶表示装置の作製プロセスを示す図である。

【符号の説明】

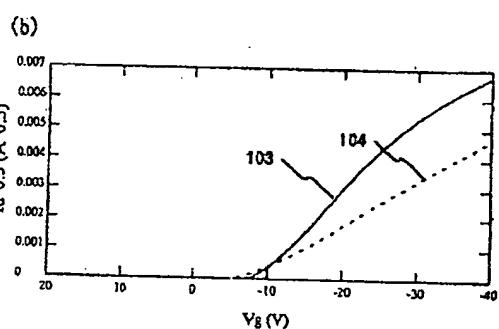
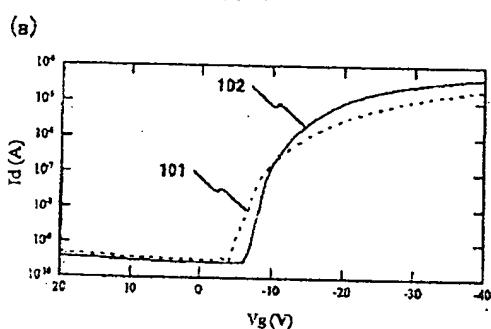
- 20 101…表1に示したNo.1の基板を用いた有機TFTのVg-Id曲線、102…表1に示したNo.2の基板を用いた有機TFTのVg-Id曲線、103…表1に示したNo.1の基板を用いた有機TFTのVg-VId曲線、104…表1に示したNo.2の基板を用いた有機TFTのVg-VId曲線、201…Al薄膜、202…シリコン基板、203…SiO₂膜、204…フッ素ポリマー膜、205…ペンタセン半導体膜、206…ソース電極、207…ドレイン電極、301…表1に示したNo.1の基板を用いたペンタセン蒸着膜の広角X線、302…303…表1に示したNo.2の基板を用いたペンタセン蒸着膜の広角X線、304…表1に示したNo.4の基板を用いたペンタセン蒸着膜の広角X線、401、414…ガラス基板、402…ゲート電極、403…ゲート絶縁膜、404…フッ素ポリマー膜、406…パターン化絶縁膜、405…ソース電極、406…ドレイン電極、407…ペンタセン蒸着膜、408、408'…信号配線、409…走査配線、410…画素電極、411…保護膜、412、412'…配向膜、415…対向電極、415…液晶組成物、416…スペーサーピーズ、417、417'…偏光板、418…TFT基板、419…対向基板、601…CrMoスパッタ膜形成、602…ゲート電極・走査配線形成ホトリソ工程、603…ゲート絶縁膜形成、604…ゲート電極取り出し穴形成ホトリソ工程、605…ITO膜スパッタ形成、606…画素電極形成ホトリソ工程、607…CrMoソース/ドレイン電極・信号配線形成ホトリソ工程、609…Au蒸着膜形成、610…Auソース/ドレイン電極・信号配線形成ホトリソ工程、611…Dol-400フッ素ポリマー膜形成、612

…ベンタセン蒸着膜形成、613…SiO_x蒸着膜形成、614…SiO_x蒸着膜取り出し用穴形成ホトリソ工程、615、617…配向膜塗布、616…対向電極用ITOスパッタ膜形成、618…配向膜配向処理、6*

*19…TFT基板ビーズ分散、620…TFT基板・対向基板によるセルへの液晶封入、621…偏光板貼り付け。

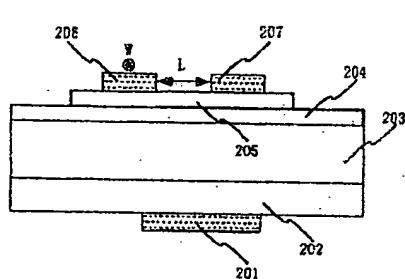
【図1】

図1

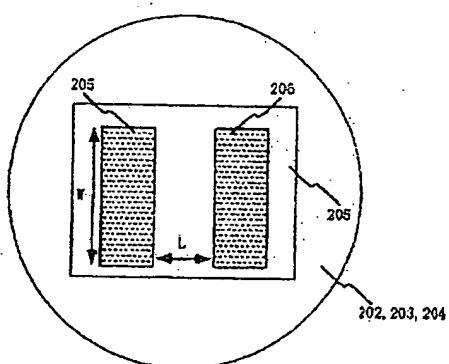


【図2】

図2

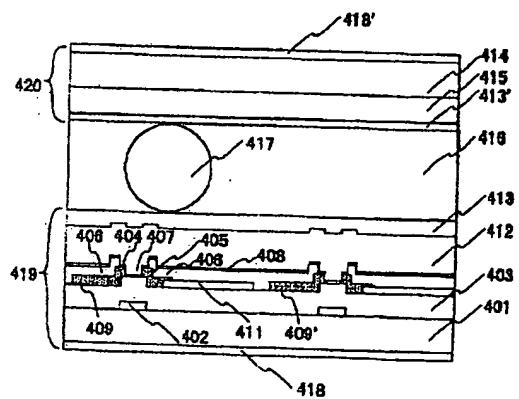


(b)



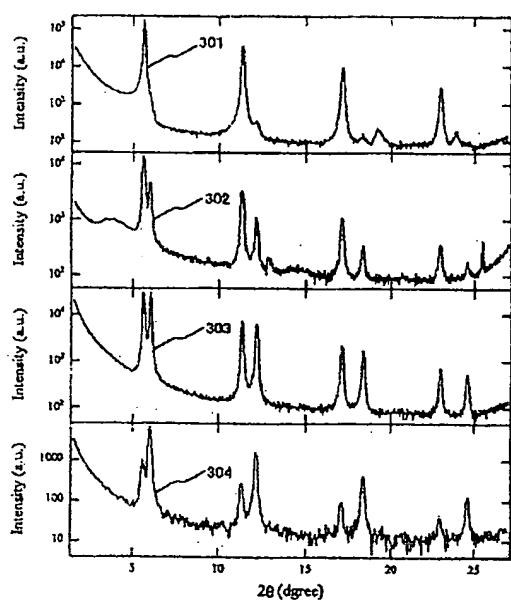
【図5】

図5



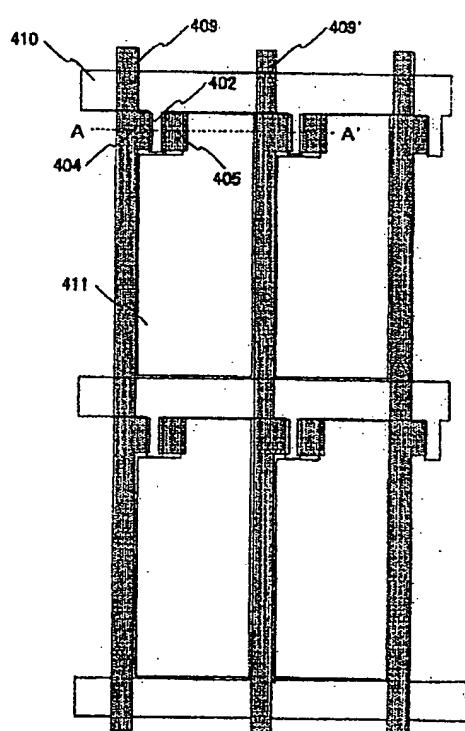
【図3】

図3



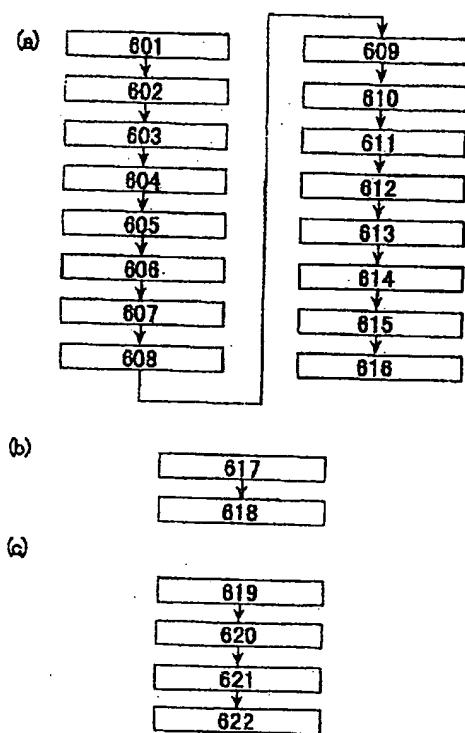
【図4】

図4



【図6】

図6



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.